

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-106688  
(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

G11C 16/06  
H01L 27/115  
H01L 21/B247  
H01L 29/788  
H01L 29/792

(21)Application number : 08-112859  
(22)Date of filing : 07.05.1998

(71)Applicant : SGS THOMSON MICROELECTRON SRL  
(72)Inventor : CAMPARDO GIOVANNI  
BEDARIDA LORENZO  
FUSILLO GIUSEPPE  
SILVAGNI ANDREA

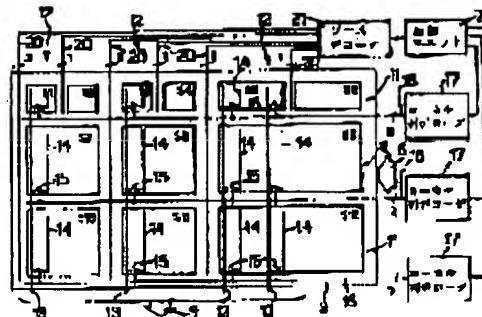
(30)Priority

Priority number : 95 95830183 Priority date : 05.05.1995 Priority country : EP

### (54) NONVOLATILE MEMORY, ESPECIALLY NONVOLATILE FLASH EEPROM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a memory in which at least two of a plurality of sectors in a memory array can be addressed simultaneously.  
**SOLUTION:** A memory array 2 in a memory provides a global bit line 13 extending along the overall length thereof and connected with respective local bit lines 14. A switch 15 is disposed between the global bit line 13 and each local bit line 14 and a selected global bit line 13 is connected selectively with only one associated local bit line 14. The switch 15 is controlled over a control line by means of a local decoding unit 17 to address sectors S1-S12 independently thus performing various operations (read, erase, write) simultaneously for two different sectors in different row and column.



(19) 日本国特许厅 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

卷開平9-106688

(13) 公開日 平成9年(1997)4月22日

(51) Int CL<sup>4</sup>  
G 11 C 16/06  
H 011 27/115  
21/8/4  
29/7/8  
29/7/12

檢測記錄 單位整理書單

FI  
G 11 C 17/00

技術表示箇所

309 J  
309 F  
434  
371

審査請求 有 執求項の数17 OL (全 13 頁)

(21) 出圖號 特廣平8-112859

(2) 出願日 平成8年(1996)5月7日

(31) 预先打主张母母 95830183.0

(32) 領先日 1995年6月5日

(33) 优先权主張国 イタリア (I.T.)

(71) 出署人 392092288

エスジー-エーストムソン マイクロエレクトロニクス エス. アール. エル.  
SGS-THOMSON MICROELECTRONICS S. R. L.  
イタリア国 20041 ミラノ アグラーテ ブリアンツァ ヴィア シ. オリウ  
エッティ 2

(72) 発明者 ジオヴァッニ・カンバルド  
イタリア国、24128 ベルガーモ、ヴィ  
ア・セガンティーニ、5

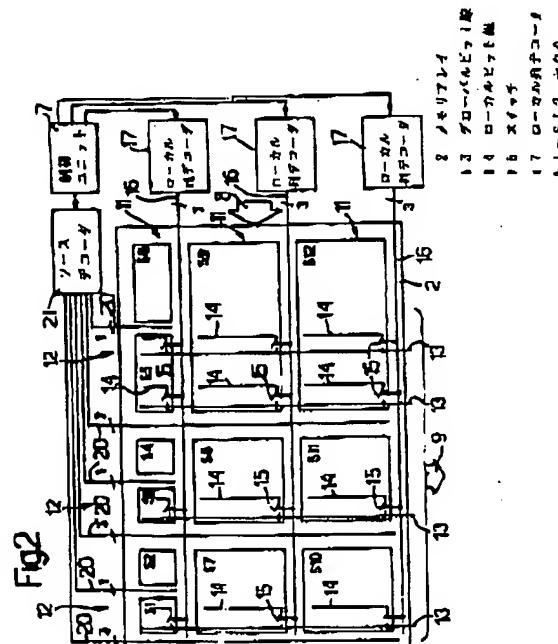
(74) 代理人 护理士 简井 大和 (外3名)

### 最終頁に致ぐ

(57) [四約]

【課題】 メモリアレイの複数のセクタのうち少なくとも2つを同時にアドレスすることができる記憶装置を提供する。

【解決手段】記憶装置のメモリアレイ(2)はその企  
及に沿って伸びるグローバルビット線(13)を提供  
し、それぞれのローカルビット線(14)に接続されて  
いる。スイッチ(15)は、グローバルビット線(1  
3)とそれぞれの各ローカルビット線(14)との間に  
配設され、選択されたグローバルビット線(13)と、  
それに隣接する1つのローカルビット線(14)とを  
選択的に接続させる。スイッチ(15)は、ローカルデ  
コーディングユニット(17)により、制御線に従って  
制御され、セクタ(S1～S12)を独立してアドレス  
し、異なる行および列における2つの異なるセクタにお  
いて、同時に諸動作(読み込み、消去、書き込み)を行  
う。



(2)

特開平9-106648

2

【特許請求の範囲】  
 【請求項1】複数のセクタ (S1～S12) に分類される一定数のメモリセル (30) を含むメモリアレイ (2) を有する記憶装置 (1) であって、前記メモリアレイの前記セクタのうち少なくとも2つを同時にアドレスするための手段 (14, 15, 17) を行することを特徴とする記憶装置。

【請求項2】前記項1記載の記憶装置であって、前記セクタ (S1～S12) は、行セクタ (11) と列セクタ (12) に整列されており、第1の方向に伸びる第1のセクタ線と該第1の方向と直行する第2の方向に伸びる第2のセクタ線を形成しており、該記憶装置が、前記第1の方向と平行で前記第1のセクタ線の全長にほぼ沿って伸びるグローバルバイアス線 (13) と、前記各グローバルバイアス線用の複数のローカルバイアス線 (14; 25, 26) であって、前記第1の方向に平行に伸び、前記第1のセクタ線を形成するセクタと少なくとも2つにおいて等しいローカルバイアス線と、各バイアス線とそれぞれのグローバルバイアス線との間に置かれた複数のセクタ選択手段 (15; 32, 33) と、前記選択手段が前記セクタを別々に制御するための制御手段 (17, 17') とを有することを特徴とする記憶装置。

【請求項3】前記項2記載の記憶装置であって、前記セクタ選択手段が、制御線 (16) とローカルデコーディングユニット (17, 17') とに順次接続する制御ターミナルを有するセクタ選択トランジスタ (15; 32, 33) を有し、少なくとも1つの前記制御線が各セクタ (S1～S12) のために配設されていることを特徴とする記憶装置。

【請求項4】前記項3記載の記憶装置であって、前記グローバルバイアス線がグローバルビット線 (13) であり、前記ローカルバイアス線がローカルビット線 (14; 25, 26) であり、

前記ローカルデコーディングユニットが、該記憶装置 (1) の制御ユニット (7) により制御される列デコーディングユニット (17, 17') であることを特徴とする記憶装置。

【請求項5】前記項4記載の記憶装置であって、前記制御線 (16) が隣接する行セクタ (11) の間に伸びていることを特徴とする記憶装置。

【請求項6】前記項4または5記載の記憶装置であって、該記憶装置が各グローバルビット線 (13) 用および各セクタ (S1～S12) 用の第1 (25) および第2 (26) のローカルビット線を有しており、前記セクタ選択トランジスタが、各グローバルビット線

10

20

30

40

50

とその各第1のローカルビット線との間に位置する第1のセクタ選択トランジスタ (32) と、各グローバルビット線とその各第2のローカルビット線との間に位置する第2のセクタ選択トランジスタ (33) とを含み、同一のセクタ内の前記第1のセクタ選択トランジスタは同一の第1の制御線 (16) に接続しており、同一のセクタ内の前記第2のセクタ選択トランジスタは同一の第2の制御線 (16) に接続していることを特徴とする記憶装置。

【請求項7】前記請求項4～6のいずれか1つに記載の記憶装置であって、複数のデコーディングセクション (34) より形成される行デコーディングユニット (3) を有しており、

前記各デコーディングセクションが、2つの複数アドレス入力と、1つの複数アドレス選択入力を有しております、前記各複数のアドレス入力が、前記各デコーディングセクションに2つの異なる行アドレスを供給するために、それぞれの複数のアドレス線 (36, 37) に接続されており、

前記アドレス選択入力がそれぞれのアドレス選択線 (38) に接続され、前記デコーディングユニットの各セクション (34) に、前記2つのアドレスと関連して使用される情報信号を供給することを特徴とする記憶装置。

【請求項8】前記請求項4～7のいずれか1つに記載の記憶装置であって、デジタルワードが複数のビットから形成され、各々がそれぞれのメモリセル (35) に記憶されており、

同一のデジタルワードに関連するメモリセルはすべて同一のセクタ (S1～S12) に属していることを特徴とする記憶装置。

【請求項9】前記項8記載の記憶装置であって、前記グローバルビット線 (13) に接続される列デコーディングユニット (4; 65, 67) を有しております、前記列デコーディングユニットが複数の出力線 (B1～B16) を有しております、

各出力線が、異なる列セクタ (12) に属する複数のグローバルビット線に接続されていることを特徴とする記憶装置。

【請求項10】前記項9記載の記憶装置であって、前記列デコーディングユニット (4; 65, 67) が、前記グローバルビット線 (13) に沿った複数の第1のビット選択トランジスタ (58) を有しております、グローバルビット線と関連で同一の出力線に接続される前記第1のビット選択トランジスタの全てが、同一の選択信号 (YN1～YN16) により制御されることを特徴とする記憶装置。

【請求項11】前記項9または10記載の記憶装置であって、少なくとも1つの列セクタ (12) が、前記出力線 (B1～B16) よりも多い数のグローバルビット

特開平9-106688

4

(3)

3

線(13)を行しており、少なくとも1つの前記列セクタにおける前記グローバルビット線が線グループ(63)に分類され、1つの線グループにおける前記グローバルビット線が共に接続されており、第2のビット選択トランジスタ(60)によりそれぞれの出力線に接続されていることを特徴とする記憶装置。

【請求項12】 前項10記載の記憶装置であって、線グループ(63)における前記グローバルビット線(13)に沿って位置する第3のビット選択トランジスタ(59)を行しており、該第3のビット選択トランジスタ(59)は前記第1の選択トランジスタを制御する前記選択信号(YN1～YN16)により制御されていることを特徴とする記憶装置。

【請求項13】 前記請求項1～12のいずれか1つに記載の記憶装置であって、前記グローバルビット線(13)に接続される第1および第2の列デコーディングユニット(65, 67)と、前記第1および第2の列デコーディングユニットにそれぞれ接続される第1および第2のセンスアンプユニット(66, 68)とを行することを特徴とする記憶装置。

【請求項14】 前項13記載の記憶装置であって、前記第1の列デコーディングユニットおよびセンスアンプユニット(65, 66)が、読み出し段階中にアクティブとされ、前記第2の列デコーディングユニットおよびセンスアンプユニット(67, 68)が、消去および書き込み段階中にアクティブとされることを特徴とする記憶装置。

【請求項15】 前記請求項1～14のいずれか1つに記載の記憶装置であって、ユーザーセクタアドレス信号(7a)が供給される複数のアドレス入力を供給するマッピングユニット(73)と、

実際のセクタアドレス信号(75)を供給する複数のアドレス出力とを行し、前記マッピングユニットが、前記ユーザーセクタアドレス信号と前記実際のセクタアドレス信号との相関関係を記憶することを特徴とする記憶装置。

【請求項16】 前項15記載の記憶装置であって、前記マッピングユニット(73)が不揮発性のメモリであることを特徴とする記憶装置。

【請求項17】 前項16記載の記憶装置であって、前記不揮発性のメモリ(73)が前記メモリアレイ(2)の一部により形成されていることを特徴とする記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性、特に、フラッシュEEPROMメモリ装置に関する。

【0002】

【従来の技術】 従来の不揮発性、特に、フラッシュEEPROMメモリ装置が、

PRO Mメモリは、1つのセクタの読み出しと他のセクタの書き込みまたは消去とを同時にすることはできず、つまり、メモリはロックされ、他のセクタでの書き込みまたは消去を終えるまで、機能(例えば、読み出し)を実行することができなかった。消去に長時間費やす観点から、このような制限は不都合であり、特に、メモリがマイクロコントローラーの一部を形成する場合、該マイクロコントローラーはフラッシュメモリへのアクセスをロックする適切な回路を設けなければならず、システムがより複雑化してしまう。

【0003】

【発明が解決しようとする課題】 本発明に関する問題に対する概念について、例に配置されたセクタを有するフラッシュメモリの構造が図1に示されている。

【0004】 本発明に適切な部分のみ示されている図1において、メモリ1は、行および列に配置され、矢印8, 9で図示されたワード線およびビット線によりアドレスされたメモリセルで構成されるメモリアレイ2と、ワード線8がアレイ2の選択された行をバイアスするよう伸びた行デコーダ3と、ビット線9を接続し、アドレスされたアレイ2のビット線をバイアスし、また、出力ユニットへ接続するよう設計された列デコーダ4と、複数のセンスアンプからなり、デコーダ3, 4により選択されたメモリセルにコードされた情報をセンサするよう行デコーダ4に接続されたセンスアンプユニット5と、ユニット5にセンスされたデータを一時的に保持するようセンスアンプユニット5に接続された出力ユニット6と、行および列デコーダ3, 4にアドレスを発生し、ユニット5, 6に制御信号を発生する、例えば、FSM(Finite State Machine)のような制御ユニット7とを有する。簡略化のため、制御ユニット7はまた、必要な供給電圧を発生させる供給電圧発生部を含み、実行動作(例えば、消去中のメモリセルの内容の逐段的なチェック)により外部メモリ1(矢印7a)または内部ユニット7から供給されるコード化されたアドレスを発生するものであってもよい。

【0005】 アレイ2のセルはセクタに分類され、同一のセクタのセルは共通の端子、例えば、ソース端子を与え、一括消去される。図では、メモリセルは列に配置された3つのセクタ2a, 2b, 2cに分類されているが、以下の説明では行に配置されたセクタにも同様に適用することができる。

【0006】 セクタを消去する場合、一連の動作が開始され、前提条件の段階および、実際の消去過程および確認過程を含む消去段階が実施される。

【0007】 前提条件の段階では、実際の消去前に、セクタにおけるすべてのセルが同一の条件にされ、そのすべてが同時に消去されるよう保証する。この目的のため、セルに記憶されたデジタルワードを構成するバイトが逆順的にアドレスされ、バイトに対応するセルが書き

(4)

5

込まれ、行および列デコーダ3、4とセンスアンプユニット5を用いて確認される。実際の消去過程および確認過程においても、行および列デコーダ3、4とセンスアンプユニット5が使用され、セクタの消去に数時間(1秒程度)費やされる。その間、デコーダおよびアンプユニット3～5はバイアスおよび確認に費やされ、その他の機能を実行することができないという好ましくない状況が発生する。

【0008】そこで、本発明の目的は、異なるセクタにおいて異なる機能を実行する(例えば、1つのセクタの読み出しと同時に他のセクタを消去する)ことができる下揮発性メモリ装置を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】すなわち、本発明によれば、複数のセクタに分類される一定数のメモリセルを含むメモリアレイを有するメモリ装置であって、前記メモリアレイの前記セクタのうち少なくとも2つを同時にアドレスするための下段を行することを特徴とする下揮発性メモリ装置を提供する。

【0012】本発明の様々な好適な実施形態が、添付図面を参照する仕方により以下に説明されるであろう。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0014】本発明の第1の特性によれば、図1にはメモリ装置の全体構造が示されており、メモリアレイは、異なるセクタにおいて複数の機能を同時に実行させるよう形成されている。図2ではメモリアレイの実施形態が示されており、アレイ2は異なる大きさの12のセクタS1～S12を有し、セクタS1～S6の大きさはより小さく、データの格納に用いられ、セクタS7～S12の大きさはより大きく、プログラムの格納に用いられる。

【0015】セクタS1～S12は2つの直交する直線方向を規定する行11および列12に配置されている。詳細には、セクタS1～S6は第1行に、セクタS7～S9は第2行に、セクタS10～S12は第3行に配置され、大きさの差異について、各列にはより小さいセクタから2つづつ配置されている(即ち、第1列にはセクタS1、S2、S7、S10が配置されている)。本発明の目的(即ち、2つのセクタが読み出しおよび消去するための、即ち、異なる機能を実行するための同時のアドレス)のため、同一の列の小さなセクタS1～S6の各対は以降、単一のセクタとして考慮する。また、多少

40 50

特開平9-106688

6

複雑化してしまうが、セクタS1～S6は独立に扱われる。グローバルバイアス線(実施形態ではグローバルビット線)13は、2つの直線方向の1つに配置されたすべてのアレイ2に沿って(実施形態では列セクタ12に充分な長さに沿って)伸びており、ローカルバイアス線14(前記直線方向に配置された個々のセクタのローカルバイアス線であり、この場合、列セクタ12に配置された3つのセクタの各々のローカルバイアス線)に接続している。グローバルバイアス線13と対応する個々のローカルバイアス線14との間には、スイッチ15が設けられ、選択されたグローバルビット線13と関連する3つのローカルビット線14のうち1つだけを選択的に接続し、異なる線(行および列)の一部を形成する2つの異なるセクタにおいて同時に、また、独立に機能(読み出し、消去、書き込み)を実行するようセクタをバイアスする。

【0016】同一のセクタにおけるスイッチ15は2通りに制御される(セクタ対S1～S2、S3～S4、S5～S6を除く、同一の制御信号に制御される個々の対のセクタ)が、他のセクタに対しては独立に制御される。このため、スイッチ15の制御端子は制御線16(各セクタに1つ)に接続され、更に、1つまたは複数のローカルデコーダ17に接続されている。図2の実施形態では、同一の行のセクタに対応する制御線16はそれぞれのローカル列デコーダ17に接続されている。

【0017】図2にはまた、個々のセクタの読み出し、書き込みおよび消去の段階に従って、線20にバイアスするよう制御ユニット7に制御されたソースデコーダ21、更に、そのデコーダに接続されたソース線20(各セクタに1つ)が例示されている。

【0018】セクタS1～S12において、機能を同時に実行させるため、ユニット3～5に適切な変更、例えば、ユニットを単純に複数するなどがなされなければならないことは明らかである。

【0019】図2のメモリアレイの異なる実施形態として、図3には多数のメモリアレイおよびセクタS7～S12のスイッチのみが示されているが、セクタS7～S12として示されている構造は、セクタS1～S6として示されているものと同じである。

【0020】図3の実施形態において、各セクタの各グローバルビット線は、セルの緻密化を図るため、2つのローカルビット線25、26に接続されており、グローバルビット線13(通常、第2金属レベル(第2配線層)に形成されている)が、接続に大きさが充分であるようローカルビット線14(通常、第1金属レベル(第1配線層)に形成されている)より大きくされることを考慮している。6つの制御線16が各セクタの行11に設けられている。図3にはまた、図2における3つのデコーダの機能を合わせた1つのローカル列デコーダ17のみが設けられている。

(5)

特開平9-106684

8

7

【0021】各セクタS7～S12（図示していない各セクタS1～S6も）は、行と列に配置された多数のメモリセル30を有している。従来、各セクタにおける全てのセル30は、同一の共通のソース線20に接続されたソース端子を有し、同一の行におけるセル30は、同一のワード線31（隣接するセルの同一の行における全てのセルに共通）に接続された制御ゲート端子を有している。同一の列におけるセルは、2つのローカルビット線のうちの一方に接続されるドレイン端子を有し、詳細には、ローカルビット線25に接続されるセルとローカルビット線26に接続されるセルとがワード線31の方向に交差になるよう接続されている。

【0022】ローカルビット線25、26の各々の対は、それぞれグローバルビット線13に対して選択トランジスタ32、33を介して接続されており、それぞれのトランジスタは制御線16に接続されるゲート端子を有している。詳細には、各々のセクタにおけるトランジスタ32（セクタにおけるグローバルビット線13と各ローカルビット線25との間に設けられている）は、全て同一の制御線16に接続されており、さらにそれぞれのセクタにおけるトランジスタ33（グローバルビット線13と各ローカルビット線26との間に設けられている）は、全て異なる制御線16に接続されている（セクタS7、S10を参照）。実施形態に示されるように、各々の行セクタ11は3つのセクタ（またはセクタS1～S6の場合、集合セクタ）を有し、各々の行セクタ11について6本の制御線16で充分である。

【0023】制御線16は、好適には、2つの異なる行セクタ11の間に通常存在する隙間の中を伸びており、好適には、第1レベル（第1配線層）の金属線を形成している。実施形態においては、共通のソース線20は2つの異なる行セクタ12の間に通常存在する隙間の中を伸びているが、逆に、グローバルバイアス線がワード線である場合、列の間のスペースに、対応するローカルワード線の選択トランジスタのための制御線を設けるようにしておく、例えば、ゲートの応力が考慮されない場合には、適用することができる。

【0024】図2および図3に示されるように、メモリアレイを設けることにより、所定の行および列セクタ11、12を読み、かつ別の行と列における他のセクタを消去することができる。図示されるローカルデコーディング装置によって可能となることが、図2および図3に示されたセクタ構造について図4に概念的に示されている。詳細には、図4に示すように、セクタS1またはS2における操作（読み出し、書き込み、消去）の実行（つまりセクタS1またはS2に対するアクセス）により、セクタS8～S11、S9、S12の1つにおける操作を同時に実行（つまりアクセス）することができ、セクタS3またはS4にアクセスすると、同時にセクタS9、S12、S7、S10の1つにアクセスすること

10

20

30

40

50

ができ、セクタS5またはS6にアクセスすると、同時にセクタS8、S11、S7、S10の1つにアクセスすることができる。

【0025】例えば、プログラムセクタS9、S12に記憶されたプログラムの実行を妨げることなくデータセクタS3を消去するためには、セクタS3を消去する際にプログラムセクタをアクセス可能な状態に維持しなければならないが、セクタS3に接続された共通のソース線20を12Vに、そして、セクタS3の全ての行を0Vに維持することが可能となり、このときには、FSM7（図1）は消去時間を制御する。同時に、FSM7は、セクタS9、S12の行と列をアドレスし、プログラムを読み出すため（あるいは他の操作を実行するため）に設けられている。

【0026】本発明の他の観点によれば、行デコードが提供され、これは、閑電する回路を充分に複製することなく、同時に2つの異なる行をアドレスすることができ、図5に示されている。

【0027】図5に示された行デコーダ3は、列セクタ11の数（この場合は3つであり、そのうち2つが図示されている）に等しい数のデコーディングセクション31を有し、各々のデコーディングセクション31は2つのデータ入力を与えるマルチプレクサ35を有しており、ここでは、メモリアレイにおける全ての行をアドレスするために必要なビット数に等しい。マルチプレクサ35のデータ入力は、nのアドレス線36、37の2つのグループに接続されており、各々は異なるアドレスをコードし、マルチプレクサ35は、さらに、このマルチプレクサ35が線36、37との2つのアドレスのいずれを使用するかについて特定するmの選択線38に接続されたmの選択入力を有しており、アレイ2の中ににおける2つの異なる列を同時にアドレスする。換言すれば、選択線38によって、各々のマルチプレクサは、線36についてのアドレスを出力すべきか、線37についてのアドレスを出力すべきか、あるいは全くアドレスを出力しないかを知ることになる。

【0028】したがって、マルチプレクサ35は第1の数の出力端子41（n/2に等しい）と、第2の数の出力端子42（n/2に等しい）を有する。出力端子41はNANDゲート39の入力端子に直接あるいは反転して接続され、線36または線37について特定されたアドレスの第1の半分をコードする。また、出力端子42は論理ユニット40に接続され、線36または線37について特定されたアドレスの第2の半分をコードする。論理ユニット40はまたNANDゲート39の出力端子42に接続されている。論理ユニット40は、対応する列セクタ12における行に等しい数の出力を有する結合用回路（レベルシフト回路に加えて）を実質的に有しており、NANDゲート39とともに2つのレベル/デコーディング用回路を形成する。実機にあっては、NAND

(6)

特開平9-106648

9

ロゲート39は、並接あるいは反転される人力端子を有し、第1の半分のアドレスをディコードし、同様にNANDゲート39の出力を使用して論理ユニット40は第2の半分のアドレスをディコードする。

【0029】各々の論理ユニット40のそれぞれの出力は対応するインバータ15の第1の入力端子に接続されており、これはノード16に接続された第2の人力端子を有し、ワード線31に接続された出力端子を有する。行デコーダ3は各々の例11のための3つのノード16を有しており、各々のノード16は2つの供給線50、51に対して、それぞれPチャンネル型MOS選択トランジスタ17、18によって接続され、これらの2つのトランジスタ17、18は、イネーブルユニット49（各々の行セクタ11のため）に接続された制御端子を有している。

【0030】線50はセルを読み出すための電圧VCCを供給し、これに対して、線51はセルを消去したり書き込むための消去電圧VPPまたは照合電圧VVを供給する。

【0031】各々のイネーブルユニット49は、一对のスイッチ52、53を実質的に有しており、これらは各々の供給選択トランジスタ17、18のためであり、各トランジスタ17、18の制御ゲートをアースに対して接続したり、非応答状態にし、その結果、トランジスタをオンあるいはオフに作動させる。スイッチ52、53は、これらのスイッチ52、53の状態を制御し、その結果、インバータ15に供給するトランジスタ18、49を制御するためのイネーブル線54（この場合、トランジスタ17、18およびスイッチ52、53の数に等しい数の6本有する）を介して制御ユニット7によって供給される制御信号により制御される。インバータ15は、線36、37について特定されたアドレスに応じて論理ユニット40によりイネーブルされ、したがって、線54についての制御信号によって特定されて、線50または線51についての電圧でそれぞれのワード線31をバイアスする。また、複製用アドレス線36、37により、そして上述したようにマルチプレクサ35を制御する線38によって、線36、37に対して2つの異なるアドレスを送ることが可能となり、同時に2つの指示を実行するための異なる行セクタ11における2つの異なる線31をアドレスすることが可能となる。

【0032】従来、メモリアレイ出力は同一のワードにおけるビットが、（他のセクタに属する）1つの行に分配されるように実際に構成されている。これに対して、本発明にあっては、メモリアレイ2の出力は同一のセクタ内に集中されている。このタイプの構造を充足する列デコーダは、図6に示されており、セクタS10、S11に関するセクタS12における1つの行についての異なる数のセルのために、そして、これらのセクタから伸びる異なる数のグローバルビット線のために、セクタS12から伸びるビット線が2つのレベルにディコードされる。

【0033】図6において、各々のセクタはセンスアンプ5に送られるべき16ビットに対応して16の出力を与えるようになっている。つまり、セクタS10、S11（同一の列セクタ12における対応するセクタ）は16本のグローバルビット線に接続されるようになっており、セクタS12は48本のグローバルビット線に接続されるようになっている。しかしながら、以下に述べるように、異なる数の出力（例えば、8つ）やセクタから伸びる異なる数のビット線を有する異なる形状の構造とすることも可能である。

【0034】すなわち、図6におけるデコーダ4は、一端部でセンスアンプ5に接続され、かつ選択トランジスタ58～60を介してアレイセクタのグローバルビット線13に他端部で接続された16本の出力線B1、B2、…、B16（各々のワードにおける16ビットに対応する）を有している。詳細には、セクタS10、S11からの16本のグローバルビット線は、それぞれの第1の選択トランジスタ58によってそれぞれの出力線B1～B16に対して接続され、その結果、セクタS10の第1のグローバルビット線13はセクタS11の第1のグローバルビット線13と第1の出力線B1とに接続され、セクタS10の第2のグローバルビット線13はセクタS11の第2のグローバルビット線13と第2の出力線B2とに接続され、以下同様なっている。同一の出力線B1～B16に接続されたセクタS10、S11のグローバルビット線についての選択トランジスタ58は、制御ユニット7に接続されたそれぞれの制御線62を介して供給される同一の制御信号YN1～YN16によって制御される。

【0035】セクタS12のグローバルビット線13の三重線63は、また、制御線64を介して供給されるそれぞれの信号YM1～YM16によって制御される第2の選択トランジスタ60により出力線B1～B16に接続され、さらに制御ユニット7に接続されている。つまり、同一の三重線63（同一の出力線B1～B16に接続されている）におけるセクタS12の3つのグローバルビット線13は、それぞれ第3の選択トランジスタ59によって制御される。詳細には、各々の三重線63における第1のグローバルビット線に接続された選択トランジスタ59は、セクタS10、S11の第1のグローバルビット線を制御する信号YN1によって制御され、各々の三重線63における第2のグローバルビット線に接続された選択トランジスタ59は信号YN2によって制御され、第3のグローバルビット線に接続された選択トランジスタは信号YN3によって制御される。

【0036】従って、セクタS10において、セルまたはセルのいくつかを連続的に読み出すために、行デコーダ3は行を選択する。また、ローカルデコーダ17は、

10

(7)

特開平9-106684

11

セクタS10において列(図2のローカルピット線14、図3の線25、26)を選択する。さらに、選択トランジスタ58は、信号YN1～YN16によって、選択された列を選択された出力線B1～B16に選択的に接続する。ローカルデコーダ17によって選択されなかった他のセクタS1～S9、S11、S12が読み出しを妨げることは決してない。逆に、セクタS12においてセルまたはセルのいくつかを読み出すために、選択トランジスタ60は、信号YM1～YM16によって特定された線13の三重線63と出力線B1～B16とを接続するのみである。また、各三重線63内では、トランジスタ59が、接続されるべきグローバルピット線13を出力に接続する。この場合もまた、セクタS1～S11は、ローカル列デコーダ17によって選択されていないことにより、読み出しを決して妨げない。

【0037】しかしながら、列デコーダ1は、2つのセクタを並列的に読み出すのみであり、従って、2つのセクタが2つの異なる列セクタ12において同時に読まれるようには複製されなければならない。そのため、本発明の更なる特徴によれば、更なる列デコーダと更なるセンスアンプユニットが設けられている。本発明による構成は、異なる列セクタ12において、1つのセクタを読み出し、他のセクタを消去または書き込みできる典型的な設計であるため、1つのセンスアンプが消去照合動作の間のみアクティブであり、また、他のセンスアンプが読み出し動作の間のみアクティブであるようにメモリを制御することができる。この場合、各センスアンプにおいて、捨てられた機能に関係する回路を削除するため、また、更なるデコードおよびセンスユニットを形成するための更なるスペースに用いるために、センスアンプをそのなすべき機能に基づいて専用化することができる。

【0038】そのように形成された構成が図7に示されており、これは、読み出し列デコーダ65と、読み出しセンスアンプ66と、消去列デコーダ67と、消去センスアンプユニット68と、図1の構成のユニット6、7と、図2または図3のようなローカル列デコーダ17または17'および図2のようなソースデコーダ21を示す。読み出しユニット65、66は、図1の構成における対応するユニット3、4と同様の方法で配設されている。また、消去ユニット67、68は、ユニット65、66と同様してメモリアレイ2、2'の反対側に設けられている。さらに詳細に言えば、消去列デコーダ67は、グローバルピット線13の上端(矢印70)と接続されており、ユニット4と同様の方法にて制御ユニット7によって制御されている。さらに、消去アンプユニット68は、ユニット67の下流に接続され、制御ユニット7からの制御信号を受け取り、出力信号を制御ユニット7に供給する。

【0039】読み出しおよび消去列デコーダ65、67

10

20

30

40

50

12

は好適には、ユニット4と同様の構成を尾す一方、センスアンプユニット66、68は専用化され、それにより、前述のように、それぞれは各々の機能(読み出しおよび照合)に専用した回路のみを含んでいる。

【0040】例えば、セクタS12を読み出し、消去時にセクタS1を照合するためには、読まれるべきセクタS12内のセクタは、読み出し列デコーダ65とローカル列デコーダ17'および行デコーダ3によって適切にバイアスされる。そして同様に、照合されるべきセクタS1内のセルは、消去列デコーダ67とローカル列デコーダ17'および行デコーダ3によって適切にバイアスされ、従って、2つの異なる行を、好ましくは図4に示して述べたように、線36、37によって供給される2つの異なるアドレスに基づいて同時にアドレスする。書き込み時におけるデコード(および読み出し)は、好ましくは消去ユニット67、68によってなされる。

【0041】本発明のメモリは、異なるユーザーの要求に合わせてセクタの数を増加させる構成となっている。実際、同一の回路端子を用い、また、行デコーダの大きさを増加することにより、メモリアレイ2と行デコーダ3のみを示した図8のように、更なるデータセクタを設けることができる。セクタS1～S12に加えて、アレイ2もまた、更なるセクタSA、SB、SC、SD、SE、SFを供する。これらは、各々のローカルピット線11またはローカルピット線25、26を供し(セクタS1～S12と同様)、かつ、セクタS1～S12のように、各制御線16によって制御される各選択スイッチ15によって同一のグローバルピット線13に接続される。

【0042】行デコーダが、(例えば、マルチプレクサ35および図5の実施の形態と同様の回路を加えることによって)、セクタSA～SFの行が独立してアドレスするように形成されている場合、例えば、セクタSAと同時に消去セクタS4を読み出すことが可能である。

【0043】提案されている構成は、メモリスペースにアドレスするので、セクタが近接していない配置を避け、そのため、近接したセクタ配列で動作している印象をユーザーに与える。

【0044】この目的のために、マップテーブルは、セクタが近接していない実際の配置を明らかに近接している配置と関連させるため、ユニット7から上流にのみ設けられる必要がある。これは、図9(a)に概略が示されており、そこには制御ユニット7とメモリ1のマップテーブル73のみが示されている。マップテーブル73は、外部から供給されかつユーザーによって求められる「理想的な」配列に呼応するアドレスを受け取り(矢印7a)、セクタの実際の配列に対応する実際の内部アドレスを供給する(矢印75)。実際のアドレス7aもまた、行および列デコーダに直接供給することができる。

(8)

特開平9-106688

13

【0045】マップテーブル73は、論理回路またはメモリ要素のように、いかようにも形成することができる。また、後者の場合、それは、特殊なメモリアレイにより、あるいは、図9(a)に概略が示されているメモリアレイ2の一端を用いることによってなされる。

【0046】従って、直線的なセクタ配列とは対照に、また、図9(b)に既知のメモリマップのように、配列は、図9(c)に示されたように、ユーザーの要求にどちらがより合っているかによって達成される。そして、例えば、データセクタの隣りにプログラム格納セクタを維持することにより、メモリスペースをより便利なように組織化する。

【0047】さらに、消去可能な形態のマップテーブル73の場合、ユーザーによって自由にプログラムされ得る再プログラム可能なメモリは、求められるメモリスペース内でセクタの相対的位置を変更し得る。

【0048】提案されている構成は、接続のない列冗長度制御を行うと共に、追加回路要素のない、冗長列アドレスをイネーブルし、または読み出すための異なるセクタを追加する。ひとつの解決策は、図10に示されているように、プログラムおよびデータセクタS1～S12に加えて、図8に示されているのと同様に、メモリアレイ2もまたセクタS A～S Fを備えることである。また、セクタS1～S12、S A～S Fは、グローバルビット線に接続された冗長列を備える。メモリ1もまた欠列メモリ80を備えると共に、制御ユニット7によって、イネーブルされた（読み出しありは浮き込み）セルのアドレスを供給され（矢印83）、また、欠列メモリ80によって欠けた列のアドレスを供給される（矢印82）冗長度制御ユニット81を備える。冗長度制御ユニット81はそこで、入ってきたアドレスを比較し、それらが一致している場合（欠けた列がアドレスされている）、線84を介して、読み出しありおよび消去列デコーダ65、67をディスエーブルと共に、線85を介して、読み出しありおよび消去センスアンプ66、68と接続された特殊冗長デコーダ86の出力をイネーブルする。この動作は、デコーダ65、67を介して欠けた列をディスエーブルし、冗長デコーダ86を介して対応する冗長列をイネーブルすると共にその代わりを果たす。

従って、セクタS A～S Fによって拡張しているか、あるいは、例えばセクタS1～S12で構成される基本構成を有しているかにかかわらずメモリ1の構成が維持される。

【0049】一方、すべての列冗長を作る代わりに、その一部分（ローカルビット線）のみを欠いている場合、冗長であり、また、同一のグローバルビット線に接続されたセクタS B、S 2、S 10のそれではない。例えばセクタS 7の欠いているローカルビット線のみを作ることが可能である、しかしながら、この場合、非常に多くの数の欠乏状態にうまく対処するため、メモリの適合性 50

14

が非常に大きくなり、より複雑な制御論理が必要となる。

【0050】更なる変形例によれば、冗長デコーダ86を省くことができ、冗長制御ユニットは列デコーダ65、67を制御して、欠けたアドレスとなっている場合は反対に冗長グローバルビット線をアドレスする。

【0051】冗長セクタを有する既知の解決策と比較すると、本発明による構成は、重複されたセクタに属するセルのすべての列の代わりに、特定の冗長セクタにおいて欠けた列のみを作成し、そのため、冗長セクタにおいて求められる行の数を減らし、従って、全体としてメモリのサイズを減らすという優位性がある。

【0052】本発明によるメモリデバイスの優位性は先の記載より明らかであろう。特に、記載された構成では、メモリアレイの2つのセクタが同時に作動し、従って、メモリアクセス時間、特に、セクタ消去時におけるそれが大幅に短縮される。また該構成は、高い調整性を示す。さらに、セクタの再マッピングを行うことができ、従って、故障なく使用できかつ冗長動作が素直である。

【0053】しかしながら、ここに記載し図示されているようなメモリデバイスに対して、本発明の範囲から逸脱することなく変更を加えることは明らかである。特に、記載された解決策に、絶縁されたメモリデバイス、好ましくはフラッシュメモリを適用することができる。同様に、マイクロコントローラ内の集積メモリやASM(Application Specific Memory：特定用途メモリ)デバイスのような専用メモリにも適用できる。さらに、ローカルバス線に接続されたグローバルバス線もまた、ビット線に代えて、またはそれに加えてワード線とすることが可能である。

【0054】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0055】すなわち、メモリ装置が有するメモリアレイの複数のセクタのうち少なくとも2つを同時にアドレスすることができる。

【図面の簡単な説明】

【図1】従来のメモリおよび本発明のある実施形態にも有効な典型的な構造図である。

【図2】本発明の第1の実施形態によるメモリアレイの構造の概略図である。

【図3】図2のメモリアレイの変形の詳細図である

【図4】図2および3のメモリのアドレスの様々な方法を例示する論理図である。

【図5】本発明によるメモリの行デコーダの1つの実施例を簡略化した回路図である。

【図6】本発明によるメモリの列デコーダの1つの実施例を簡略化した回路図である。

(9)

特開平9-106688

16

15

【図7】本発明によるメモリの更なる構造図である。  
 【図8】本発明によるメモリの変形の図である。  
 【図9】(a) は本発明によるメモリの更なる変形の図、  
 (b) は従来のメモリに対応する論理マップ図、  
 (c) は(a)の本発明によるメモリの変形に対応する  
 論理マップ図である。  
 【図10】本発明の更なる変形の図である。

【符号の説明】

- 1 メモリ
- 2 メモリアレイ
- 3 行デコーダ
- 4 列デコーダ
- 7 制御ユニット
- 11 行セクタ
- 12 列セクタ
- 13 グローバルピット線
- 14 ローカルピット線

- \* 16 制御線
- 17 ローカル列デコーダ
- 30 メモリセル
- 34 デコーディングセクション
- 35 マルチブレクサ
- 36, 37 アドレス線
- 38 選択線
- 58~60 選択トランジスタ
- 63 三重線
- 10 65, 67 列デコーダ
- 66, 68 センスアンプ
- 73 マップテーブル
- 75 セクタアドレス信号
- S1~S12 セクタ
- B1~B16 出力線
- YN1~YN16 制御信号

\*

【図1】

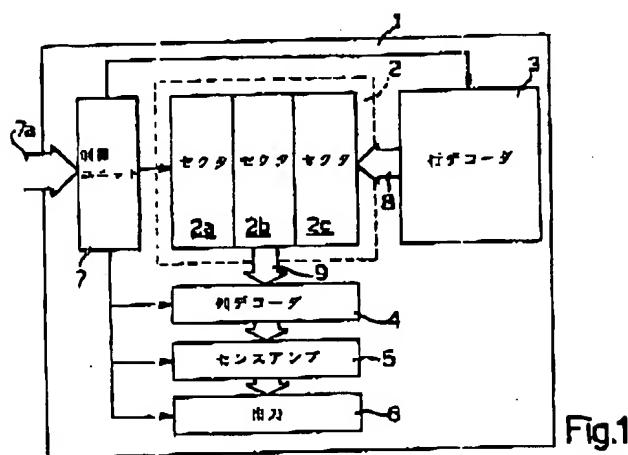


Fig.1

【図4】

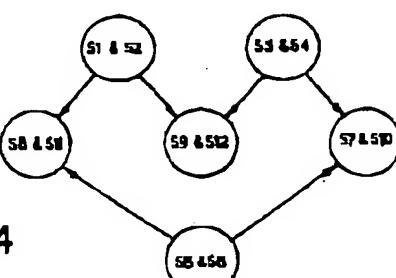


Fig.4

【図8】

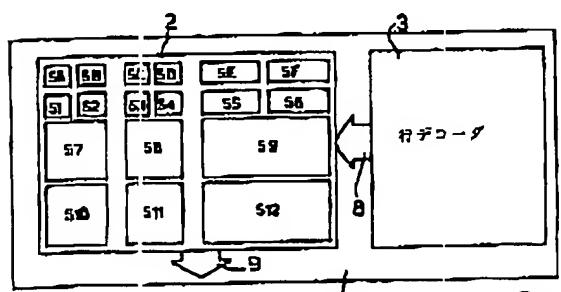


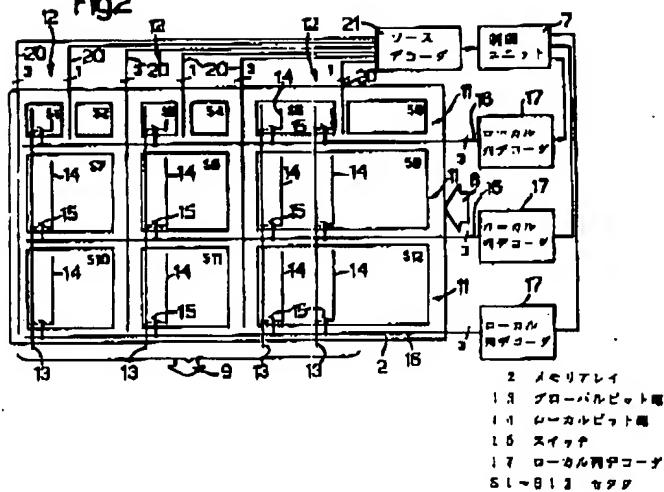
Fig.8

(10)

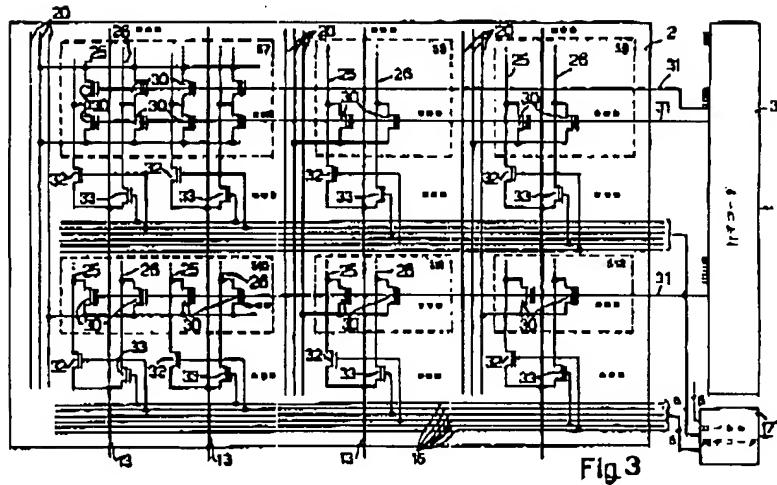
特明平9-10668

〔圖2〕

Fig2



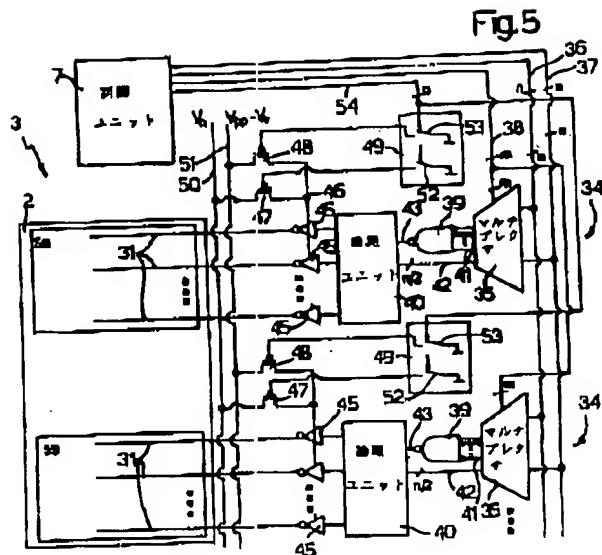
[图3]



(11)

特開平9-106684

【図5】

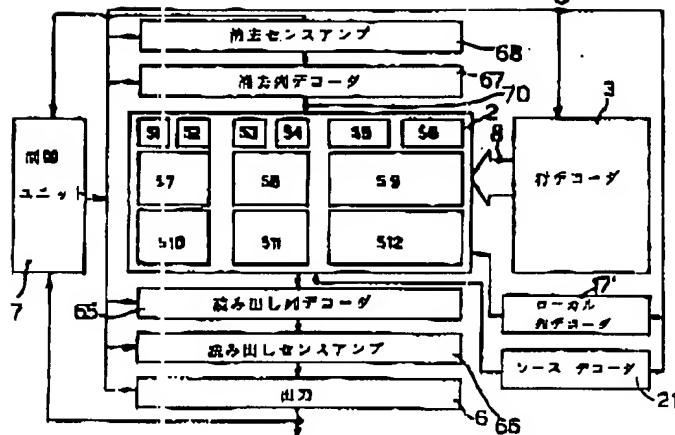


(12)

特開平9-10668

〔四七〕

Fig. 7



〔四九〕

[图10]

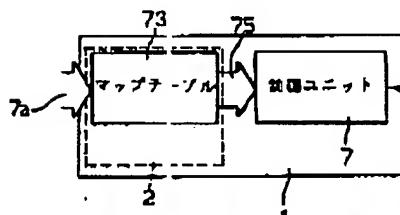


Fig. 9(a)

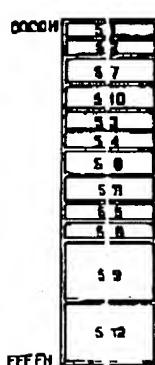


Fig. 9 (b)

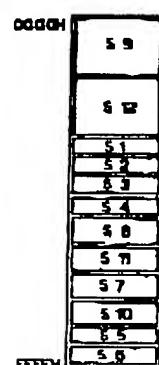


Fig.9(c)

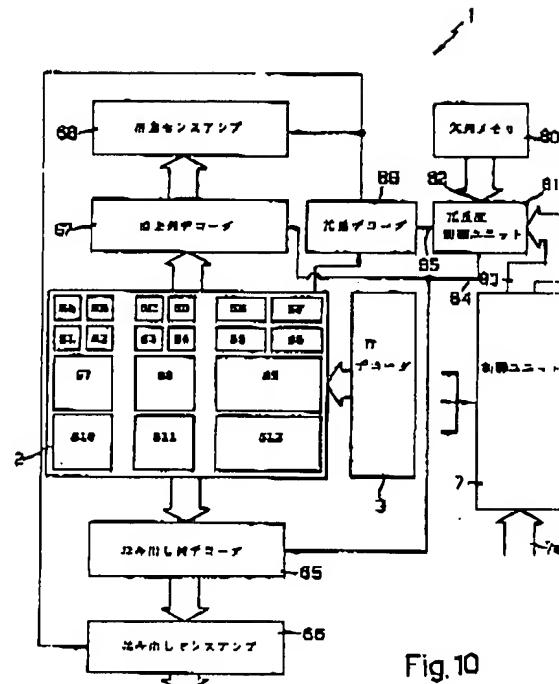


Fig. 10

### フロントページの書き

(72)発明者 ロレンツォ・ベダリーダ  
イタリア国、20075 ロディ、ヴィア・ヴ  
エンティ・セッテンブレ, 29

(72)発明者 ジュゼッペ・フジッロ  
イタリア國、20100 ミラーノ、ヴィン・  
ヴァッラツツエ、61

Aug-25-08 06:09pm From-

+212-391-0631

T-997 P.043/043 F-289

(13)

特開平9-106688

(72)発明者 アンドレア・シルヴァーニ  
イタリア国、20100 ミラーノ、ヴィア  
デル・カスター二ヨ、5

\*\*\*\*\*  
\*\*\* RX REPORT \*\*\*  
\*\*\*\*\*

RECEPTION OK

TX/RX NO 5126  
RECIPIENT ADDRESS +212 391 0631  
DESTINATION ID  
ST. TIME 08/25 18:23  
TIME USE 06 '01  
PGS. 43  
RESULT OK

FAX RECEIVED

AUG 25 2008